

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.
008193006 **Image available**
WPI Acc No: 1990-080007/199011

Thin-film transistor mfr. for active-matrix liq.-crystal display panel -
by changing amorphous silicon layer on silicon layer to poly-silicon
layer by irradiation with laser beam, etc. NoAbstract Dwg 1h,i/2

Patent Assignee: EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2033935	A	19900205	JP 88183803	A	19880723	199011 B

Priority Applications (No Type Date): JP 88183803 A 19880723

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 2033935	A	2		
------------	---	---	--	--

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; ACTIVE; MATRIX; LIQUID;
CRYSTAL; DISPLAY; PANEL; CHANGE; AMORPHOUS; SILICON; LAYER; SILICON;
LAYER; POLY; SILICON; LAYER; IRRADIATE; LASER; BEAM; NOABSTRACT

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Additional): G02F-001/13; H01L-021/33;

H01L-027/12; H01L-029/78

File Segment: CPI; EPI; EngPI

CONSTITUTION: A silicon layer 2 is laminated on an insulation board 1. Next the silicon layer 2 is left in the form of an island and further an amorphous silicon layer 3 and an insulating film 4 are successively produced. Next a recess part is formed on the surface of the insulating layer 4 and the thick film part and the thin film part of the insulating film 4 are formed. Next laser irradiation is performed and the amorphous silicon layer 3 is converted into multicrystal silicon 5. Next a low resistance silicon layer 6 which becomes a gate electrode of a thin film transistor is formed. Next the part except for the thin film part of the insulating film 4 is removed. The insulating film 4 of the left thin film part becomes a gate insulating film of the thin film transistor. Thus, the insulating film 4 plays a role of a protecting film of thermal energy at the time of laser irradiation, works as the protecting film of the amorphous silicon layer 3 and the multicrystal silicon layer 5 and becomes a gate insulating film after completion.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

② 公開特許公報(A) 平2-33935

③ Int. Cl.³

識別記号

庁内整理番号

④ 公開 平成2年(1990)2月5日

H 01 L 21/336
G 02 F 1/136
H 01 L 27/12
29/784

5 0 0

A

7370-2H
7514-5F

8624-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全4頁)

⑤ 発明の名称 薄膜トランジスタの製造方法

⑥ 特 願 昭63-183803

⑦ 出 願 昭63(1988)7月23日

⑧ 発 明 者 矢 崎 正 俊 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑨ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑩ 代 理 人 弁理士 上柳 雅 著 外1名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁性基体上におけるスタガード型薄膜トランジスタの製造方法において、前記絶縁性基体上にシリコン層を積層する工程と、前記シリコン層を島状に残す工程と、前記シリコン層上に、非品質シリコン層と絶縁膜を連続成膜する工程と、前記絶縁膜表面に凹部を形成する工程と、前記シリコン層と前記非品質シリコン層へレーザ照射を行ない前記非品質シリコン層を多結晶シリコン層に変換する工程と、前記絶縁膜上に低抵抗シリコン層を積層する工程と前記絶縁膜の厚膜部分を除去する工程と、前記シリコン層と前記多結晶シリコン層と前記低抵抗シリコン層に不純物添加用ガス雰囲気中でレーザ照射を行なう工程とを含むことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、液晶表示用デバイスのアクティブ・マトリクスに用いられる薄膜トランジスタの製造方法に関する。

〔従来の技術〕

従来のスタガード型の薄膜トランジスタとしては特開昭62-81065に記載されたものがある。この構造では、第2図に示すように、半導体層9が積層される前にオーミック接触層15が形成され、さらに半導体層9とゲート絶縁膜10は連続成膜されず、半導体層9形成後に半導体層9を島状にパターニングする必要があった。

〔発明が解決しようとする課題〕

しかし、かかる従来のスタガード型の薄膜トランジスタの製造方法によれば、リンなどの不純物を含むオーミック接触層15形成後に半導体層9が形成されるために、オーミック接触層15中の不純物が後の製造工程中に半導体層9中へ拡散

し、オーミック接触層15の抵抗値が大くなり、薄膜トランジスタの特性を劣化させる問題を有していた。また、半導体層9形成後に、半導体層9を第2図に示すように島状に残すために、ホトリソグラフィ法による加工を必要とし、その工程中での半導体層9の变质や汚染が起き、薄膜トランジスタのチャンネル部分となる半導体層9の劣化を生み、トランジスタ特性を悪化させる原因ともなっていた。さらに、半導体層9は、絶縁性基体上に成膜されているために結晶性が悪く抵抗の高いものであった。このため、この半導体層9をチャンネル部分とする薄膜トランジスタの電界効果移動度の値は小さく良好なトランジスタの特性を得ることができないという問題点を有していた。そこで、本発明は従来のこのような問題点を解決するため、薄膜トランジスタを構成する各種の膜の製造工程中での劣化や变质を防ぐと同時に、高特性の薄膜トランジスタを実現できる薄膜トランジスタの製造方法を提供することを目的としている。

シリコン層2は、シリコンを含有するガスをPCVD法、常圧CVD法及び減圧CVD法あるいはECRCVD法、EB蒸着法などいずれの成膜法によって成膜してもよく、反応ガス中に不純物添加用のガスを加えることなく積層する。次に第2工程で第1図(b)に示すようにシリコン層2を島状に残す。この島状に残ったシリコン層2が、後の工程により薄膜トランジスタのソース電極とドレイン電極を構成する構成部分となる。第3工程では、第1図(c)に示すように非晶質シリコン層2と絶縁膜4を連続成膜する。絶縁膜としては、二酸化シリコン膜、窒化シリコン膜、窒素を含有する酸化シリコン膜のいずれでもよい。第4工程では、第1図(d)に示すように、第1図(c)で積層した絶縁膜4の表面に凹部を形成し、絶縁膜4厚膜部分と薄膜部分を形成する。第5工程で第1図(e)に示すようにレーザ照射を行ない、第1図(d)に示した非晶質シリコン層3を多結晶シリコン5に変換する。第1図(e)の工程では、絶縁膜4の厚膜部分よりもより薄い

【課題を解決するための手段】

上記課題を解決するため、本発明の薄膜トランジスタの製造方法は、絶縁性基体状におけるスタガード型薄膜トランジスタの製造方法において、前記絶縁性基体上にシリコン層を積層する工程と、前記シリコン層を島状に残す工程と、前記シリコン層上に、非晶質シリコン層と絶縁膜を連続成膜する工程と、前記絶縁膜表面に凹部を形成する工程と、前記シリコン層と前記非晶質シリコン層へレーザ照射を行ない前記非晶質シリコン層を多結晶シリコン層に変換する工程と、前記絶縁膜上に低抵抗シリコン層を積層する工程と前記絶縁膜の厚膜部分を除去する工程と、前記シリコン層と前記多結晶シリコン層と前記低抵抗シリコン層に不純物添加用ガス雰囲気中でレーザ照射を行なう工程とを含むことを特徴とする。

【実施例】

以下に本発明の実施例を図面にもとずいて説明する。第1図(a)において、第1工程として絶縁性基体1上にシリコン層2を積層する。このシ

薄膜の絶縁膜4に被膜された部分の方が優先的にレーザ照射で受けた熱エネルギーを放熱しやすく、絶縁膜4の凹部分の薄膜部分直下にあるシリコン層の方がより早く大粒径の多結晶シリコン層4に変換されやすいという傾向をもっている。次に第6工程の第1図(f)では、薄膜トランジスタのゲート電極となる低抵抗シリコン層6を形成する。この低抵抗シリコン層6は、リンやホウ素などの半導体不純物の添加用ガスと主ガスとなるシリコン含有ガスを反応中に混合して減圧CVD法などにより成膜する。第7工程では、第1図(g)に示すように絶縁膜4の薄膜部分以外を取り除く。この残った薄膜部分の絶縁膜4が薄膜トランジスタのゲート絶縁膜となる。このように絶縁膜4は第1図(e)においてはレーザ照射時の熱エネルギーの保持膜の役割りを有し、第1図(c)後の絶縁膜4形成後は、半導体層となる非晶質シリコン層3及び多結晶シリコン層5の保護膜としての働きも有し、さらに、完成後は薄膜トランジスタのゲート絶縁膜にもなるという3種類

の機能をもっている。

次に、第8工程として第1図(b)に示すように、ホスフィンやジボランなどの半導体の不純物添加用ガス雰囲気下においてレーザ照射を行なう。このレーザ光によって、不純物ガスの一部は分解し多結晶シリコン層5の露出部分と、その多結晶シリコン層5の下にあるシリコン層2へ拡散していく。この不純物の拡散により薄膜トランジスタのソース電極及びドレイン電極が形成されることになる。以上の工程により薄膜トランジスタは完成し、第1図(i)に示すようにソース電極領域7とドレイン電極領域8と半導体層9とゲート絶縁膜10及びゲート電極11よりなるスタガード型のMOS構造を有する薄膜トランジスタとなる。

【発明の効果】

本発明の薄膜トランジスタの製造方法は、以上説明したように、ゲート絶縁膜をレーザ照射時の熱の保持膜として利用すると共に、工程中は、半導体層の保護膜として利用することにより、工程

中に起る半導体層の劣化や汚染を防ぐと同時にレーザ光の熱を利用して半導体層の大粒徑化を可能にし、高性能な薄膜トランジスタを実現する効果がある。

4. 図面の簡単な説明

第1図(a)～(i)は、本発明の薄膜トランジスタの製造方法の実施例の一例を示す縦断面図。

第2図は、従来のスタガード型の薄膜トランジスタの縦断面図。

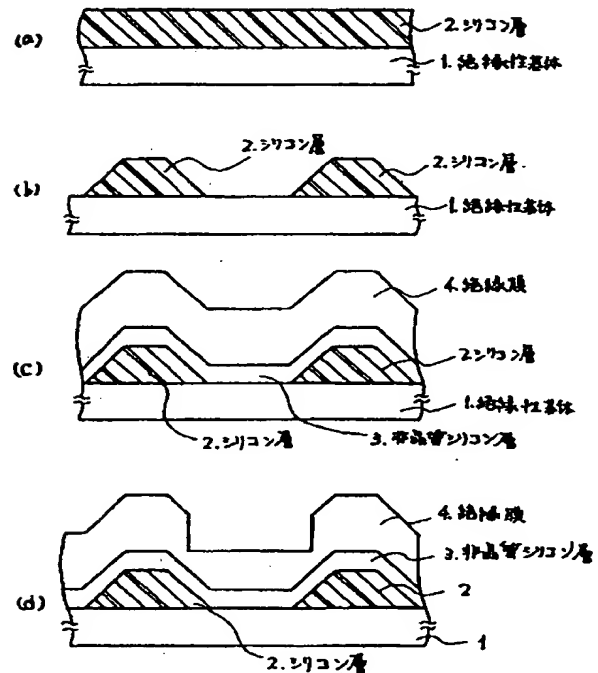
- 1・・・絶縁性基体
- 2・・・シリコン層
- 3・・・非晶質シリコン層
- 4・・・絶縁膜
- 5・・・多結晶シリコン層
- 6・・・低抵抗シリコン層
- 7・・・ソース電極領域
- 8・・・ドレイン電極領域

- 9・・・半導体層
- 10・・・ゲート絶縁膜
- 11・・・ゲート電極
- 12・・・透明基板
- 13・・・ドレイン電極
- 14・・・ソース電極
- 15・・・オーミック接触層

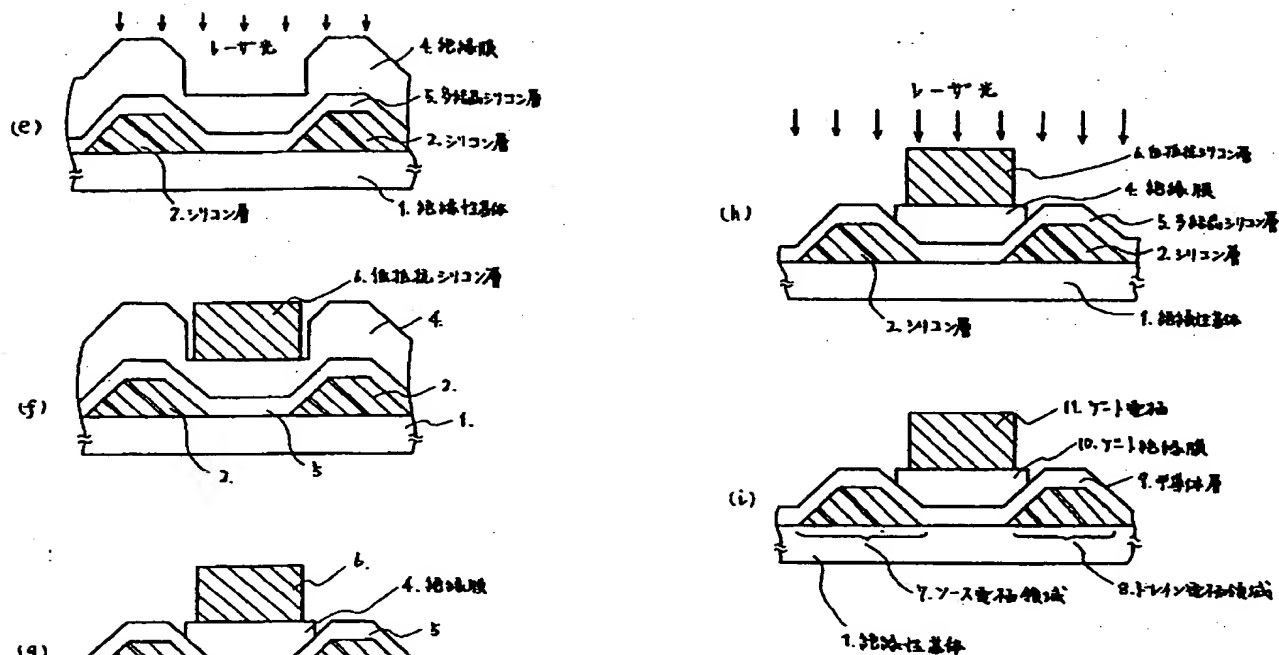
以 上

出願人 セイコーエプソン株式会社

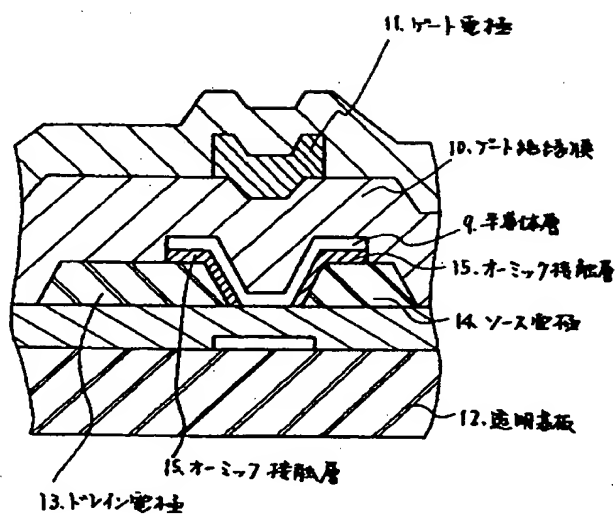
代理人 弁理士 上 柳 雅 彦(他1名)



第 1 図



第 1 図



第 2 図